

Docket No.: 67161-092

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Jun OHTANI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 05, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE WITH WORD LINE SHIFT CONFIGURATION		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

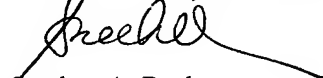
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-090234(P), filed on March 28, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: September 5, 2003

67161-092

Jun OHTANI

日本国特許庁 September 15, 2003

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月28日

出願番号

Application Number:

特願2003-090234

[ST.10/C]:

[JP2003-090234]

出願人

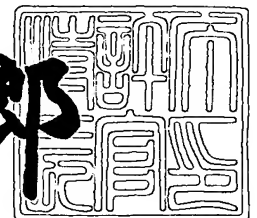
Applicant(s):

三菱電機株式会社

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030883

【書類名】 特許願

【整理番号】 543258JP01

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 8/08
G11C 29/603

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大谷 順

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配置された複数のメモリセルおよび、前記複数のメモリセルに隣接する領域のそれぞれに第 1 および第 2 のスペア行を成すように配置された複数のスペアメモリセルを含むメモリセルアレイと、

前記複数のメモリセルの行にそれぞれ対応して設けられた複数のワード線と、

前記第 1 および第 2 のスペア行にそれぞれ対応して設けられた第 1 および第 2 のスペアワード線と、

前記複数のワード線にそれぞれ対応して設けられ、各々が対応する前記ワード線の電圧を制御する複数のワード線ドライバと、

前記第 1 および第 2 のスペアワード線にそれぞれ対応して設けられ、各々が前記第 1 および第 2 のスペアワード線の対応する一方の電圧を制御する第 1 および第 2 のスペアワード線ドライバとを備え、

前記複数のワード線ドライバならびに前記第 1 および第 2 のスペアワード線ドライバは、前記メモリセルアレイにおける前記複数のワード線ならびに前記第 1 および第 2 のスペアワード線の配置に従って順に配列され、

前記複数のワード線ドライバならびに前記第 1 および第 2 のスペアワード線ドライバの各々は、

前記複数のワード線、前記第 1 および第 2 のスペアワード線のうちの対応する 1 本を、出力ノードの電圧に応じて選択状態および非選択状態の一方へ駆動する駆動回路と、

行選択動作前に前記出力ノードを第 1 の電圧にプリチャージするとともに、行選択動作時に前記出力ノードを前記第 1 の電圧から切離すプリチャージスイッチとを含み、

前記複数のワード線ドライバの各々は、さらに、

前記行選択時に、行選択結果に応じて、第 1 の内部ノードを第 2 の電圧と接続するデコードユニットと、

第 2 の内部ノードおよび前記第 1 の内部ノードの間に設けられ、前記行選択動

作時に両者を接続するとともに、前記行選択動作前に前記両者を切離す制御スイッチと、

前記複数のワード線ドライバ、前記第 1 および第 2 のスペアワード線ドライバのうちの、前記複数のワード線ドライバならびに前記第 1 および第 2 のスペアワード線ドライバが配列される方向に沿って第 1 の側で自身と隣接する 1 つの前記出力ノードと、自身の前記第 2 の内部ノードとの間に接続される第 1 のシフトスイッチと、

自身の前記出力ノードおよび自身の前記第 2 の内部ノードの間に接続される第 2 のシフトスイッチと、

前記複数のワード線ドライバ、前記第 1 および第 2 のスペアワード線ドライバのうちの、前記第 1 の側と反対側の第 2 の側で自身に隣接する 1 つの前記出力ノードと、自身の前記第 2 の内部ノードとの間に接続される第 3 のシフトスイッチとを含み、

不良メモリセル行のアドレスに基づき、前記複数のワード線ドライバの各々において前記行選択時に前記第 1 から第 3 のシフトスイッチのオンおよびオフを制御するシフト制御回路をさらに備える、半導体記憶装置。

【請求項 2】 不良メモリセル行の存在時において、前記シフト制御回路は、前記不良メモリセル行に対応する不良ワード線に対応する前記ワード線ドライバ中の前記出力ノードがいずれの前記ワード線ドライバ中の前記第 2 の内部ノードとも切離され、かつ、前記第 1 および第 2 のスペアワード線のうちの少なくとも一方および前記不良ワード線を除く残りの前記ワード線にそれぞれ対応する前記出力ノードが、前記複数のワード線ドライバ中の前記第 2 の内部ノードとそれぞれ接続されるように、各前記ワード線ドライバにおける前記第 1 から第 3 のシフトスイッチのオンおよびオフを制御する、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記駆動回路は、対応の前記出力ノードが前記第 1 の電圧であるときに前記複数のワード線、第 1 および第 2 のスペアワード線のうちの対応する 1 本を前記非選択状態へ駆動する一方で、対応の前記出力ノードが前記第 2 の電圧であるときに前記対応する 1 本を前記選択状態へ駆動する、請求項 1 記載の半導体記憶装置。

【請求項 4】 行列状に配置された複数のメモリセルおよび、J 個（J：自然数）のスペア行を成すように配置された複数のスペアメモリセルを含むメモリセルアレイと、

前記複数のメモリセルの行にそれぞれ対応して設けられた複数のワード線と、
前記 J 個のスペア行にそれぞれ対応して設けられた J 本のスペアワード線と、
前記複数のワード線にそれぞれ対応して設けられ、各々が対応する前記ワード線の電圧を制御する複数のワード線ドライバと、

前記 J 本のスペアワード線にそれぞれ対応して設けられ、各々が対応する前記スペアワード線の電圧を制御する J 個のスペアワード線ドライバとを備え、

前記複数のワード線ドライバおよび前記 J 個のスペアワード線ドライバは、前記メモリセルアレイにおける前記複数のワード線および前記 J 本のスペアワード線の配置に従って順に配列され、

前記複数のワード線ドライバおよび前記 J 個のスペアワード線ドライバの各々は、

対応の前記ワード線または前記スペアワード線を、出力ノードの電圧に応じて選択状態および非選択状態の一方へ駆動する駆動回路と、

行選択動作時前に前記出力ノードを第 1 の電圧にプリチャージするとともに、
行選択動作時に前記出力ノードを前記第 1 の電圧から切離すプリチャージスイッチとを含み、

前記複数のワード線ドライバの各々は、さらに、

行選択結果に応じて、第 1 の内部ノードを第 2 の電圧と接続するデコードスイッチと、

前記第 1 の内部ノードおよび第 2 の内部ノードの間に設けられ、前記行選択動作時に両者を接続するとともに、前記行選択動作前に前記両者を切離す制御スイッチと、

自身の前記出力ノード、ならびに、他の前記ワード線ドライバおよび前記 J 個のスペアワード線ドライバのうちの近傍の J 個中の前記出力ノードと、自身の前記第 2 の内部ノードとの間にそれぞれ設けられ、前記行選択時において選択的に 1 つがオンし残りがオフされる（J + 1）個のシフトスイッチとを含み、

不良メモリセル行のアドレスに基づき、前記複数のワード線ドライバの各々において前記（J + 1）個のシフトスイッチのオンおよびオフを制御するシフト制御回路をさらに備える、半導体記憶装置。

【請求項 5】 前記不良メモリセル行の存在時において、前記シフト制御回路は、前記不良メモリセル行に対応する不良ワード線に対応する前記ワード線ドライバ中の前記出力ノードがいずれの前記ワード線ドライバ中の前記第 2 の内部ノードとも切離され、かつ、前記 J 本のスペアワード線のうちの少なくとも 1 本および前記不良ワード線を除く残りの前記ワード線にそれぞれ対応する前記出力ノードが、前記複数のワード線ドライバ中の前記第 1 の内部ノードとそれぞれ接続されるように、各前記ワード線ドライバにおける前記複数のシフトスイッチのオンおよびオフを制御する、請求項 4 記載の半導体記憶装置。

【請求項 6】 前記駆動回路は、対応の前記出力ノードが前記第 1 の電圧であるときに前記対応のワード線またはスペアワード線を前記非選択状態へ駆動する一方で、対応の前記出力ノードが前記第 2 の電圧であるときに前記対応のワード線またはスペアワード線を前記選択状態へ駆動する、請求項 4 記載の半導体記憶装置。

【請求項 7】 前記複数のワード線ドライバのうちの前記行選択結果に応じた 1 つにおいて、前記デコードスイッチは、前記第 1 の内部ノードと前記第 2 の電圧との間を接続し、その他の前記ワード線ドライバにおいて、前記デコードスイッチは、前記第 1 の内部ノードと前記第 2 の電圧との間を切離す、請求項 1 または 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、いわゆるワード線シフト構成によって冗長救済を実行する半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

半導体記憶装置における一般的な不良救済手法として、スペア行を構成するよ

うに設けられたスペアメモリセルに対応して設けられたスペアワード線と、正規メモリセルの行に対応して設けられたワード線との選択を制御することによって、メモリセル行単位で不良メモリセルを救済するワード線冗長構成が知られている。

【0003】

特に、このようなワード線冗長構成において、いわゆるシフトリダンダンシを適用したワード線シフト構成が知られている（たとえば特許文献1）。特許文献1の図1に開示された構成では、ワード線ごとに設けられた各ワード線選択回路11は、出力ノード32の電圧に応じて、対応のワード線を選択状態または非選択状態に駆動する。各ワード線選択回路11の内部に、他のワード線選択回路11中の出力ノード32との接続を可能にするシフトスイッチ38を設けることによって、不良ワード線を隣接ワード線で置換するとともに、以降のワード線を順にシフトしてスペアワード線を使用するワード線シフト構成が実現されている。

【0004】

一般的に、ワード線冗長構成では、スペア行はメモリセルアレイの最端部に配置される。したがって、不良行をスペア行で直接置換する場合には、不良行および他のメモリセル行との間でアクセスタイム差が大きくなる一方で、不良ワード線を隣接ワード線で置換するワード線シフト構成では、不良行選択時のアクセスタイム差を軽減することができる。

【0005】

また、シフトリダンダンシ方式を用いるワード線シフト構成では、不良行の位置に応じて、スペアワード線およびワード線のシフト状態が予め決定可能であるので、冗長デコーダが不要になり、アクセスごとに冗長判定を実行する必要がなくなるという利点が生じる。この結果、シフトリダンダンシ構成を用いずに、冗長デコーダを用いる構成と比較して、メモリアクセスの高速化が図られる。

【0006】

【特許文献1】

特開2002-15592号公報（図1、第4-5頁）

【0007】

【発明が解決しようとする課題】

一方で、冗長構成の如何によらず、ワード線選択回路においては、対応のワード線の選択／非選択を制御するノード（特許文献１の図１における出力ノード３２）に意図しない電圧変動が生じると、想定外のワード線が選択されてしまい、誤って複数のワード線が同時に選択されてしまう「マルチワード線セレクション」が発生してしまう。マルチワード線セレクションが発生すると、正常なデータ読出やデータ書込が実行できなくなってしまう。

【０００８】

しかし、上述のワード線シフト構成では、各ワード線選択回路において、上記のノード（特許文献１での出力ノード３２）に接続される電気経路が、シフトスイッチの配置によって必然的に増加する。このため、ワード線シフト構成の採用により、マルチワード線セレクションの危険性が高まってしまう。

【０００９】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、ワード線マルチセレクションの危険性の少ないワード線シフト構成を有する半導体記憶装置を提供することである。

【００１０】

【課題を解決するための手段】

本発明に従う半導体記憶装置は、行列状に配置された複数のメモリセルおよび、複数のメモリセルに隣接する領域のそれぞれに第１および第２のスペア行を成すように配置された複数のスペアメモリセルを含むメモリセルアレイと、複数のメモリセルの行にそれぞれ対応して設けられた複数のワード線と、第１および第２のスペア行にそれぞれ対応して設けられた第１および第２のスペアワード線と、複数のワード線にそれぞれ対応して設けられ、各々が対応するワード線の電圧を制御する複数のワード線ドライバと、第１および第２のスペアワード線にそれぞれ対応して設けられ、各々が第１および第２のスペアワード線の対応する一方の電圧を制御する第１および第２のスペアワード線ドライバとを備え、複数のワード線ドライバならびに第１および第２のスペアワード線ドライバは、メモリセルアレイにおける複数のワード線ならびに第１および第２のスペアワード線の配

置に従って順に配列され、複数のワード線ドライバならびに第1および第2のスペアワード線ドライバの各々は、複数のワード線、第1および第2のスペアワード線のうちの対応する1本を、出力ノードの電圧に応じて選択状態および非選択状態の一方へ駆動する駆動回路と、行選択動作前に出力ノードを第1の電圧にプリチャージするとともに、行選択動作時に出力ノードを第1の電圧から切離すプリチャージスイッチとを含み、複数のワード線ドライバの各々は、さらに、行選択時に、行選択結果に応じて、第1の内部ノードを第2の電圧と接続するデコードユニットと、第2の内部ノードおよび第1の内部ノードの間に設けられ、行選択動作時に両者を接続するとともに、行選択動作前に両者を切離す制御スイッチと、複数のワード線ドライバ、第1および第2のスペアワード線ドライバのうちの、複数のワード線ドライバならびに第1および第2のスペアワード線ドライバが配列される方向に沿って第1の側で自身と隣接する1つの出力ノードと、自身の第2の内部ノードとの間に接続される第1のシフトスイッチと、自身の出力ノードおよび自身の第2の内部ノードの間に接続される第2のシフトスイッチと、複数のワード線ドライバ、第1および第2のスペアワード線ドライバのうちの、第1の側と反対側の第2の側で自身に隣接する1つの出力ノードと、自身の第2の内部ノードとの間に接続される第3のシフトスイッチとを含み、半導体記憶装置は、不良メモリセル行のアドレスに基づき、複数のワード線ドライバの各々において行選択時に第1から第3のシフトスイッチのオンおよびオフを制御するシフト制御回路をさらに備える。

【0011】

本発明の他の構成に従う半導体記憶装置は、行列状に配置された複数のメモリセルおよび、J個（J：自然数）のスペア行を成すように配置された複数のスペアメモリセルを含むメモリセルアレイと、複数のメモリセルの行にそれぞれ対応して設けられた複数のワード線と、J個のスペア行にそれぞれ対応して設けられたJ本のスペアワード線と、複数のワード線にそれぞれ対応して設けられ、各々が対応するワード線の電圧を制御する複数のワード線ドライバと、J本のスペアワード線にそれぞれ対応して設けられ、各々が対応するスペアワード線の電圧を制御するJ個のスペアワード線ドライバとを備え、複数のワード線ドライバおよ

びJ個のスペアワード線ドライバは、メモリセルアレイにおける複数のワード線およびJ本のスペアワード線の配置に従って順に配列され、複数のワード線ドライバおよびJ個のスペアワード線ドライバの各々は、対応のワード線またはスペアワード線を、出力ノードの電圧に応じて選択状態および非選択状態の一方へ駆動する駆動回路と、行選択動作時前に出力ノードを第1の電圧にプリチャージするとともに、行選択動作時に出力ノードを第1の電圧から切離すプリチャージスイッチとを含み、複数のワード線ドライバの各々は、さらに、行選択結果に応じて、第1の内部ノードを第2の電圧と接続するデコードスイッチと、第1の内部ノードおよび第2の内部ノードの間に設けられ、行選択動作時に両者を接続するとともに、行選択動作前に両者を切離す制御スイッチと、自身の出力ノード、ならびに、他のワード線ドライバおよびJ個スペアワード線ドライバのうちの近傍のJ個中の出力ノードと、自身の第2の内部ノードとの間にそれぞれ設けられ、行選択時において選択的に1つがオンし残りがオフされる(J+1)個のシフトスイッチとを含み、半導体記憶装置は、不良メモリセル行のアドレスに基づき、複数のワード線ドライバの各々において行選択時に(J+1)個のシフトスイッチのオンおよびオフを制御するシフト制御回路をさらに備える。

【0012】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。
なお、図中における同一符号は同一または相当部分を示すものとする。

【0013】

〔実施の形態1〕

図1は、本発明の実施の形態に従う半導体記憶装置の全体構成を示す概略ブロック図である。

【0014】

図1を参照して、本発明に従う半導体記憶装置10は、メモリセルアレイ20と、ロウ系回路30と、コラム系回路40と、制御回路50とを備え、ロウアドレスRAおよびコラムアドレスCAに応じて選択されたメモリセルに対する、入力データD_{in}の書込および読出データD_{out}の出力を実行可能である。

【 0 0 1 5 】

メモリセルアレイ 2 0 は、行列状に配置された複数の正規メモリセル MC と、たとえばメモリセルアレイの端部にスペア行を構成するように配置された複数のスペアメモリセル SMC とを含む。図 1 においては、複数の正規メモリセル MC が配置される外側の領域のそれぞれにスペア行を構成するように、スペアメモリセル SMC が配置される構成が示されている。各スペアメモリセル SMC は、複数の正規メモリセル MC 中の不良メモリセルを置換するために設けられ、各正規メモリセル MC と同様の構成を有する。

【 0 0 1 6 】

なお、図 1 には、一例として、正規メモリセル MC およびスペアメモリセル SMC を、1 T r (トランジスタ) - 1 C (キャパシタ) 構成の DRAM (Dynamic Random Access Memory) セルとして示しているが、以下の説明で明らかになるように、本発明は、ワード線による行選択を実行する半導体記憶装置に対して、メモリセル形式を問わず共通に適用できる。すなわち、SRAM (Static Random Access Memory)、フラッシュメモリ (R) 等の EEPROM (Electrically Erasable/Programable Read Only Memory)、磁気ランダムアクセスメモリ (MRAM) 等にも本発明は適用可能である。

【 0 0 1 7 】

メモリセルアレイ 2 0 全体にわたって、正規メモリセル MC およびスペアメモリセル SMC は、メモリセル列を共有するように行列状に配置されている。正規メモリセル MC の行にそれぞれ対応してワード線 WL が配置され、2 個のスペア行にそれぞれ対応してスペアワード線 SWL 1 および SWL 2 が配置される。また、正規メモリセル MC およびスペアメモリセル SMC によって共有されるメモリセル列ごとにビット線 BL が配置される。

【 0 0 1 8 】

ロウ系回路 3 0 は、ロウアドレス RA をプリデコードしてプリデコード信号を生成するロウプリデコーダ 6 0 と、スペアワード線 SWL 1, SWL 2 およびワード線 WL のワード線シフトを制御するシフト制御回路 7 0 と、ワード線 WL およびスペアワード線 SWL 1, SWL 2 の各々の選択および非選択を制御するワ

ード線選択回路 8 0 とを含む。

【 0 0 1 9 】

コラム系回路 4 0 は、コラムアドレス C A に応じてコラム選択を実行するコラム選択回路ならびにデータ読出およびデータ書込時にビット線 B L の電圧あるいは電流を制御するためのビット線ドライバやセンスアンプを総括的に示すものである。制御回路 5 0 は、半導体記憶装置 1 0 の全体動作を制御するために、指示コマンドに応じて、各回路の動作タイミングを規定する制御信号等を生成する。

【 0 0 2 0 】

図 2 は、ロウプリデコーダ 6 0 の動作を説明する概念図である。

図 2 を参照して、ロウプリデコーダ 6 0 は、ロウアドレス R A の下位ビットをプリデコードして、プリデコード信号 $X_i(0) \sim X_i(m)$ を生成し、ロウアドレス R A の上位ビットをプリデコードしてプリデコード信号 $X_k(0) \sim X_k(m)$ を出力する。ここで、 m は自然数である。

【 0 0 2 1 】

本発明の適用において、ロウアドレス R A のビット数は任意であるが、以下においては、ロウアドレス R A が 6 ビットであり、アドレスビット R A (0) \sim R A (5) で構成される場合を例示して説明する。したがって、ロウプリデコーダ 6 0 は、下位 3 ビットの R A (0) \sim R A (2) をプリデコードしてプリデコード信号 $X_i(0) \sim X_i(7)$ を生成し、上位 3 ビットの R A (3) \sim R A (5) をプリデコードしてプリデコード信号 $X_k(0) \sim X_k(7)$ を生成する。すなわち $m = 7$ である。このように、図 1 に示したメモリセルアレイ 2 0 では、6 ビットのロウアドレス R A に基づいて、 $2^6 = 8 \times 8 = 64$ 本のワード線 W L (0) \sim W L (6 3) のうちの 1 本が選択される。

【 0 0 2 2 】

なお、以下においては、プリデコード信号 $X_i(0) \sim X_i(7)$ を総称してプリデコード信号 X_i と表記し、プリデコード信号 $X_k(0) \sim X_k(7)$ を総称してプリデコード信号 X_k と表記する。また、ワード線 W L (0) \sim W L (6 3) を総括的に、ワード線 W L と表記する。

【 0 0 2 3 】

図 3 および図 4 は、ロウプリデコーダ 6 0 の構成を示す回路図である。

図 3 には、ロウアドレス RA の下位ビット RA (0) ～ RA (2) からプリデコード信号 X i (0) ～ X i (7) を生成する構成が示され、図 4 には、ロウアドレス RA の上位ビット RA (3) ～ RA (5) からプリデコード信号 X k (0) ～ X k (7) を生成する構成が示される。

【 0 0 2 4 】

図 3 を参照して、ロウプリデコーダ 6 0 は、ロウアドレスビット RA (0) ～ RA (2) の反転ビット \neg RA (0) ～ \neg RA (2) をそれぞれ生成するインバータ 1 0 0 ～ 1 0 2 と、プリデコード信号 X i (0) ～ X i (7) をそれぞれ出力するための論理回路 1 1 0 ～ 1 1 7 を含む。図 3 に示した接続関係とすることにより、ロウアドレスビット (RA (0) , RA (1) , RA (2)) = (0 , 0 , 0) ～ (1 , 1 , 1) の 8 通りの組合せにそれぞれに対応して、プリデコード信号 X i (0) ～ X i (7) のうちの 1 つが論理ハイレベル (以下、単に「H レベル」とも称する) に設定され、残りが論理ローレベル (以下、単に「L レベル」とも称する) に設定される。

【 0 0 2 5 】

図 4 を参照して、ロウプリデコーダ 6 0 は、さらに、ロウアドレスビット RA (3) ～ RA (5) の反転ビット \neg RA (3) ～ \neg RA (5) をそれぞれ生成するインバータ 1 0 3 ～ 1 0 5 と、プリデコード信号 X k (0) ～ X k (7) をそれぞれ出力するための論理回路 1 2 0 ～ 1 2 7 を含む。図 4 に示した接続関係とすることにより、ロウアドレスビット (RA (3) , RA (4) , RA (5)) = (0 , 0 , 0) ～ (1 , 1 , 1) の 8 通りの組合せにそれぞれに対応して、プリデコード信号 X k (0) ～ X k (7) のうちの 1 つが H レベルに設定され、残りが L レベルに設定される。

【 0 0 2 6 】

図 5 は、実施の形態 1 に従うワード線シフト構成を説明するブロック図である。

【 0 0 2 7 】

図 5 を参照して、図 1 に示したワード線選択回路 8 0 は、ワード線 WL (0)

～WL (63) およびスペアワード線 SWL 1, SWL 2 のそれぞれに対応して設けられた複数のドライブユニット DU (0) ～DU (63) および DU (S1), DU (S2) を含む。

【0028】

ドライブユニット DU (0) ～DU (63) は、出力ノード NA (0) ～NA (63) の電圧にそれぞれ応じて、対応のワード線 WL (0) ～WL (63) を選択状態および非選択状態のいずれかに駆動する。同様に、ドライブユニット DU (S1) および DU (S2) は、出力ノード NA (S1) および NA (S2) の電圧にそれぞれ応じて、対応のスペアワード線 SWL 1 および SWL 2 を選択状態および非選択状態のいずれかに駆動する。

【0029】

以下では、ドライブユニット DU (0) ～DU (63), DU (S1), DU (S2) および出力ノード NA (0) ～NA (63), NA (S1), NA (S2) のそれぞれを総括的に、ドライブユニット DU および出力ノード NA とも表記するものとする。

【0030】

各出力ノード NA は、後程詳細に説明するように、行選択動作前には各ワード線および各スペアワード線を非選択状態へ固定的に駆動するようにプリチャージされ、かつ、行選択動作時には、当該プリチャージ電圧から切離される。

【0031】

ワード線選択回路 80 は、ノード NB (0) ～NB (63) にそれぞれ対応して設けられるロウデコードユニット RDU (0) ～RDU (63) と、シフトスイッチ SW (0) ～SW (63) とをさらに含む。

【0032】

以下においては、ノード NB (0) ～NB (63)、ロウデコードユニット RDU (0) ～RDU (63) およびシフトスイッチ SW (0) ～SW (63) のそれぞれを総括的に表記する場合には、単にノード NB、ロウデコードユニット RDU およびシフトスイッチ SW とそれぞれ表記することとする。

【0033】

ロウデコードユニットRDU(0)～RDU(63)のそれぞれへは、対応する1つずつのプリデコード信号 X_i およびプリデコード信号 X_k が入力される。たとえば、ロウデコードユニットRDU(0)には、プリデコード信号 $X_i(0)$ および $X_k(0)$ が入力され、ロウデコードユニットRDU(1)には、プリデコード信号 $X_i(0)$ および $X_k(1)$ が入力され、ロウデコードユニットRDU(63)には、プリデコード信号 $X_i(7)$ および $X_k(7)$ が入力される。各ロウデコードユニットRDUは、入力されたプリデコード信号 X_i および X_k の両方がHレベルであるときに、対応のノードNBを出力ノードNAのプリチャージ電圧とは異なる所定電圧で駆動する。

【0034】

図2～4で説明したように、ロウプリデコーダ60は、プリデコード信号 $X_i(0) \sim X_i(7)$ のうちの1つおよび、 $X_k(0) \sim X_k(7)$ のうちの1つずつをHレベルに設定する一方で、残りのプリデコード信号をLレベルに設定する。したがって、プリデコード信号 $X_i(0) \sim X_i(7)$ の8通りの設定と、プリデコード信号 $X_k(0) \sim X_k(7)$ の8通りの設定との64通りの組合せで、対応する2個のプリデコード信号の両方がHレベルに設定されたワード線を選択状態に駆動し、残りのワード線を非選択状態とすることによって、64:1のワード線選択を実行できる。

【0035】

一方、各ロウデコードユニットRDUは、入力されたプリデコード信号 X_i および X_k の少なくとも一方がLレベルであるときに、対応のノードNBを所定電圧では駆動しない。

【0036】

シフトスイッチSW(0)～SW(63)は、シフトスイッチSWごとに独立に生成されるシフト制御信号SR, SL, SOに対応して、ノードNB(0)～NB(63)と、出力ノードNA(0)～NA(63), NA(S1), NA(S2)との間の接続を制御する。たとえば、シフトスイッチSW(0)の接続は、シフト制御信号SR(0), SL(0), SO(0)によって制御される。

【0037】

図 6 は、シフト制御信号を生成するシフト制御回路の構成を示すブロック図である。

【0038】

図 6 を参照して、シフト制御回路 7 0 は、不良メモリセルに対応する不良ワード線の行アドレスを記憶するためのヒューズセット 5 1 および 5 2 と、ヒューズセット 5 1 および 5 2 に記憶された行アドレスをプリデコードするシフトプリデコーダ 5 5 と、シフトスイッチ SW (0) ~ SW (6 3) にそれぞれ対応するシフト制御信号 SR (0) , SO (0) , SL (0) ~ SR (6 3) , SO (6 3) , SL (6 3) をそれぞれ生成するためのシフトデコーダ SFD (0) ~ SFD (6 3) を含む。

【0039】

以下では、シフト制御信号 SR (0) ~ SR (6 3) , SL (0) ~ SL (6 3) , SO (0) ~ SO (6 3) のそれぞれを総括的に示す場合には、単にシフト制御信号 SR , SL , SO とも表記する。シフトデコーダ SFD (0) ~ SFD (6 3) により、各シフトスイッチ SW に対応して、シフト制御信号 SR , SL , SO の 1 つが選択的に H レベルに設定され、残りが L レベルに設定される。

【0040】

再び図 5 を参照して、シフトスイッチ SW (i) は、対応のシフト制御信号 SO (i) が H レベルのときには非シフト接続とされて、ノード NB (i) を出力ノード NA (i) と接続する (i : 0 ~ 6 3 の整数) 。

【0041】

また、シフト制御信号 SL (i) が H レベルのときには、シフトスイッチ SW (i) が L 側へのシフト接続 (「L 側シフト」 とも称する) に設定されて、ノード NB (i) は出力ノード NA (i - 1) と接続される。ただし、シフトスイッチ SW (0) は、L 側シフト時には、ノード NB (0) を出力ノード NA (S 1) と接続する。

【0042】

一方、シフト制御信号 SR (i) が H レベルのときには、シフトスイッチ SW (i) が R 側へのシフト接続 (「R 側シフト」 とも称する) に設定されて、ノード NB (i) は出力ノード NA (i + 1) と接続される。

ドNB (i) は出力ノードNA (i + 1) と接続される。ただし、シフトスイッチSW (63) は、R側シフト時には、ノードNB (63) を出力ノードNA (S2) と接続する。

【0043】

不良ワード線が存在しない場合には、シフトスイッチSW (0) ~ SW (63) の各々が非シフト接続とされて、ノードNB (0) ~ NB (63) は、出力ノードNA (0) ~ NA (63) とそれぞれ接続される。この場合には、スペア行の選択が不要なので、出力ノードNA (S1) およびNA (S2) がノードNB (0) ~ NB (63) のいずれとも接続されることはなく、スペアワード線SWL1 およびSWL2 の各々は、非選択状態に固定される。したがって、不良ワード線が存在しない場合には、シフト制御信号SO (0) ~ SO (63) の各々がHレベルに設定される一方で、シフト制御信号SL (0) ~ SL (63) およびSR (0) ~ SR (63) の各々は、いずれもLレベルに設定される。

【0044】

これに対して、ワード線WLのうちに不良ワード線が存在する場合には、必要に応じて、シフトスイッチSW (0) ~ SW (63) の接続がシフトするように制御される。このシフトにより、不良ワード線を除く他のワード線WLおよびスペアワード線SWL1, SWL2 に対応する64個の出力ノードNAが、ノードNB (0) ~ NB (63) とそれぞれ順に接続される。

【0045】

この結果、ヒューズセット51 および52 に記憶された不良行アドレスに対応する不良ワード線に対応する出力ノードNAは、ノードNB (0) ~ NB (63) のいずれとも非接続とされるので、不良ワード線は、非選択状態に固定される。図5には、一例として、ワード線WL (0) およびWL (2) が不良ワード線である場合におけるシフト接続例が示されている。

【0046】

この場合には、不良ワード線WL (0) をスキップするために、シフトスイッチSW (0) は、L側シフトに設定されて、ノードNB (0) を出力ノードNA (S1) と接続する。さらに、シフトスイッチSW (1) は、非シフト接続とさ

れてノードNB (1) を出力ノードNA (1) と接続する。この結果、不良ワード線WL (0) に対応する出力ノードNA (0) がノードNB (0) ～NB (63) のいずれとも接続されないため、不良ワード線WL (0) は、非選択状態に固定される。

【0047】

同様に、不良ワード線WL (2) をスキップするために、シフトスイッチSW (2) ～SW (63) は、R側シフトに設定されて、ノードNB (2) ～NB (63) は、出力ノードNA (3) ～NA (63) , NA (S1) とそれぞれ接続される。この結果、不良ワード線WL (0) およびWL (2) を除く残りのワード線WLおよびスペアワード線SWL1, SWL2の合計64本のワード線選択によって、行単位での不良メモリセル救済が、不良ワード線を隣接のワード線で置換するようにして実現される。

【0048】

なお、シフトスイッチSWの設定は、不良メモリセル行のアドレスに対応して一意的に定めることができる。したがって、たとえば半導体記憶装置の起動時に、シフト制御回路70によって、ヒューズセットから読出された不良アドレス行に基づいて生成されたシフト制御信号SR (0) ～SR (63) , SL (0) ～SL (63) , SO (0) ～SO (63) を電源起動中にラッチする構成としておけば、電源投入中を通じて、不良ワード線を置換救済するためのシフトスイッチSW (0) ～SW (63) のシフト接続形態を維持することができる。すなわち、アクセスごとに冗長判定を実行することなく、不良メモリセル行の冗長救済が実現できることになる。

【0049】

次に、ワード線選択回路80の詳細な構成について説明していく。

図7は、図1に示したワード線選択回路80の構成を詳細に示す回路図である。

【0050】

図7を参照して、ワード線選択回路80は、スペアワード線SWL1およびSWL2にそれぞれ対応して設けられるスペアワード線ドライバSDV (1) およ

びSDV (2) と、ワード線WL (0) ~WL (63) にそれぞれ対応して設けられるワード線ドライバWDV (0) ~WDV (63) とを含む。

【0051】

スペアワード線ドライバSDV (1) は、プリチャージ信号PCGを反転するインバータ130と、Hレベルに対応する電源電圧Vccおよび出力ノードNA (S1) の間に並列に接続されるプリチャージスイッチ132, 134と、出力ノードNA (S1) の電圧に応じてスペアワード線SWL1の電圧を制御するドライブユニットDU (S1) とを有する。ドライブユニットDU (S1) は、出力ノードNA (S1) の電圧を反転するインバータ136と、インバータ136の出力電圧に応じてスペアワード線SWL1を駆動するドライバ138とを有する。ドライバ138は、必要に応じてレベル変換機能を有し、対応のスペアワード線SWL1を選択状態時に電源電圧Vccより高い昇圧電圧で駆動するように設計される。

【0052】

プリチャージスイッチ132, 134はP-MOSトランジスタで構成され、トランジスタ132のゲートへはインバータ130の出力が入力され、トランジスタ134のゲートへはインバータ136の出力が入力される。

【0053】

スペアワード線ドライバSDV (2) においても、スペアワード線ドライバSDV (1) と同様の構成が設けられ、出力ノードNA (S2) に対して、インバータ130、プリチャージスイッチ132, 134およびドライブユニットDU (S2) が配置される。

【0054】

さらに、ワード線ドライバWDV (0) ~WDV (63) においても、出力ノードNA (0) ~NA (63) にそれぞれ対応して、プリチャージ信号PCGを受けるインバータ130、プリチャージスイッチ132, 134および図5にも示したドライブユニットDU (0) ~DU (63) がそれぞれ設けられる。

【0055】

以下では、ワード線ドライバWDV (0) ~WDV (63) を総括的にワード

線ドライバWDVとも表記し、スペアワード線ドライバSDV (1) およびSDV (2) を総括的にスペアワード線ドライバSDVとも表記し、ドライブユニットDU (0) ~ DU (63), DU (S1), DU (S2) を総括的にドライブユニットDUとも表記する。

【0056】

プリチャージ信号PCGがLレベルに設定される行選択動作開始前では、プリチャージスイッチ132, 134によって、出力ノードNA (S1), NA (0) ~ NA (63), NA (S2) の各々は電源電圧Vcc (Hレベル) にプリチャージされる。これに対応してスペアワード線SWL1, SWL2およびワード線WL (0) ~ WL (63) の各々は、非選択状態 (Lレベル) に設定される。

【0057】

これに対して、行選択動作が開始され、プリチャージ信号PCGがLレベルに設定されると、各ドライブユニットDUにおいてプリチャージスイッチ132, 134がオフされて、出力ノードNA (S1), NA (0) ~ NA (63), NA (S2) の各々は、電源電圧Vccから切り離された状態となる。

【0058】

各ワード線ドライバWDVは、さらに、図5にも示したシフトスイッチSWおよびロウデコードユニットRDUと、制御スイッチTPとを有する。以下では、ワード線ドライバWDV (0) ~ WDV (63) に制御スイッチTP (0) ~ TP (63) がそれぞれ含まれるものとし、制御スイッチTP (0) ~ TP (63) を総括的に示す場合は、単に制御スイッチTPと表記する。

【0059】

各ワード線ドライバWDVの構成は同様であるので、ここでは、ワード線WL (8) に対応するワード線ドライバWDV (8) の詳細な構成について代表的に説明する。

【0060】

ロウデコードユニットRDU (8) は、Lレベルに相当する接地電圧GNDおよびノードNB (8) の間に直列に接続されたトランジスタスイッチTXi (8) およびTXk (8) を有する。トランジスタスイッチTXi (8) およびTX

k (8) の各々はN-MOSトランジスタで構成され、それぞれのゲートには、対応のプリデコード信号X_i (0) およびX_k (1) がそれぞれ入力されている。制御スイッチTP (8) は、ノードNC (8) およびノードNB (8) の間に接続されたN-MOSトランジスタで構成され、そのゲートには、インバータ130の出力、すなわちプリチャージ信号PCGの反転信号が入力される。したがって、制御スイッチTP (8) は、プリチャージスイッチ132, 134と相補的にオン・オフし、行選択動作時にターンオンされて、行選択動作前においてはターンオフされる。

【0061】

シフトスイッチSW (8) は、自身の出力ノードNA (8) およびノードNC (8) との間に接続されたトランジスタスイッチTSO (8) と、自身のノードNC (8) および左隣 (L側) のワード線ドライバWDV (7) 中の出力ノードNA (7) の間に接続されたトランジスタスイッチTSL (8) と、自身のノードNC (8) および右隣 (R側) のワード線ドライバWDV (9) 中の出力ノードNA (9) の間に接続されたトランジスタスイッチTSR (8) とを有する。トランジスタスイッチTSO (8)、TSL (8) およびTSR (8) は、N-MOSトランジスタで構成され、それぞれのゲートには対応のシフト制御信号SO (8)、SL (8) およびSR (8) が入力される。

【0062】

同様の構成は、他のワード線ドライバWDVにおいても同様に設けられる。ただし、スペアワード線SWL1に隣接する最もL側のワード線ドライバWDV (0) においては、シフト制御信号SL (0) をゲートに受けるトランジスタスイッチTSL (0) は、ノードNC (0) と、スペアワード線SWL1に対応する出力ノードNA (S1) との間に接続される。一方、シフト制御信号SO (0) をゲートに受けるトランジスタスイッチTSO (0) は、ノードNC (0) および出力ノードNA (0) の間に設けられ、シフト制御信号SR (0) をゲートにおけるトランジスタスイッチTSR (0) は、ノードNC (0) と、右隣 (R側) のワード線WL (1) に対応する出力ノードNA (1) (図示せず) との間に接続される。

【 0 0 6 3 】

同様に、シフトワード線 SWL 2 に隣接する最も R 側のワード線ドライバ WD V (6 3) においては、シフト制御信号 SR (6 3) をゲートに受けるトランジスタスイッチ T SR (6 3) は、ノード NC (6 3) と、スペアワード線 SWL 2 に対応する出力ノード NA (S 2) の間に接続される。一方、シフト制御信号 SO (6 3) をゲートに受けるトランジスタスイッチ T SO (6 3) は、ノード NC (6 3) および出力ノード NA (6 3) の間に設けられ、シフト制御信号 SL (6 3) をゲートにおけるトランジスタスイッチ T SR (6 3) は、ノード NC (6 3) と、左隣 (L 側) のワード線 WL (6 2) に対応する出力ノード NA (6 2) との間に接続される。

【 0 0 6 4 】

ロウアドレス RA に応じて、ロウデコードユニット RDU (0) ~ RDU (6 3) のうちの 1 つにおいて、直列に接続されたトランジスタスイッチ TX i (TX i (0) ~ TX i (6 3) を総括的に表記したもの) およびトランジスタスイッチ TX k (TX k (0) ~ TX k (6 3) を総括的に表記したもの) の両方がターンオンする。この結果、ロウアドレス RA に応じて、ノード NB (0) ~ NB (6 3) のうちの 1 つのみが接地電圧 GND (L レベル) で駆動され、残りのノードは接地電圧 GND では駆動されない。

【 0 0 6 5 】

したがって、制御スイッチ TP (0) ~ TP (6 3) の各々のターンオンと、シフトスイッチ SW (0) ~ SW (6 3) の各々におけるトランジスタスイッチ T SL, T SO, T SR のうちの 1 個のターンオンとの組合せによって、図 5 で説明したシフト接続が実現されて、不良ワード線を除く他のワード線 WL およびスペアワード線 SWL 1, SWL 2 の合計 6 4 本のうちの 1 本が選択状態に設定され、その他は非選択状態に設定される。

【 0 0 6 6 】

図 8 は、図 7 に示したワード線選択回路における行選択動作を説明する動作波形図である。

【 0 0 6 7 】

図 8 においては、不良ワード線であるワード線 WL (8) を、スペアワード線 SWL 2 を用いたワード線シフトによって置換する動作例が示される。この場合には、シフトスイッチ SW (0) ~ SW (7) が非シフト接続とされて、ノード NB (0) ~ NB (7) と出力ノード NA (0) ~ NA (7) とがそれぞれ接続される一方で、シフトスイッチ SW (8) ~ SW (63) が R 側シフトに設定されて、ノード NB (8) ~ NB (63) は、出力ノード NA (9) ~ NA (63), NA (S2) とそれぞれ接続される。すなわち、シフト制御信号 SO (0) ~ SO (7) および SR (8) ~ SR (63) が H レベルに設定される一方で、残りのシフト制御信号 SL (0) ~ SL (63)、SR (0) ~ SR (7) および SO (8) ~ SO (63) の各々は L レベルに設定される。

【 0 0 6 8 】

図 8 を参照して、行選択動作が開始される時刻 t_1 以前では、プリチャージ信号 PCG が H レベルに設定されるのに応じて、各出力ノード NA が H レベルにプリチャージされるので、ワード線 WL (0) ~ WL (63) およびスペアワード線 SWL 1, SWL 2 の各々は、非選択状態 (L レベル) へ駆動される。

【 0 0 6 9 】

行選択動作が開始される時刻 t_1 において、プリチャージ信号 PCG が L レベルに変化するのに応じて、各出力ノード NA は、H レベルに相当する電源電圧 V_{cc} から切離される。

【 0 0 7 0 】

さらに、ワード線 WL (8) に本来対応するロウアドレス RA が入力され、プリデコード信号 $X_i(0)$ および $X_k(1)$ が H レベルに設定され、残りのプリデコード信号 $X_i(1) \sim X_i(7)$ および $X_k(0)$, $X_k(2) \sim X_k(7)$ の各々は L レベルに設定される。これに対応して、ノード NB (8) が接地電圧 GND に駆動され、他のノード NB (0) ~ NB (7) および NB (9) ~ NB (63) は接地電圧 GND へは駆動されない。

【 0 0 7 1 】

ここで、上述したようなシフトスイッチ SW (0) ~ SW (63) の設定によって、ノード NB (8) が出力ノード NA (9) と接続されているので、時刻 t

2において、ワード線WL(9)が選択状態(Hレベル)に駆動される。一方、残りのワード線WLおよびスペアワード線SWL1, SWL2は非選択状態(Lレベル)にされる。このように、不良ワード線を隣接のワード線・スペアワード線で置換するワード線シフト構成によって、不良有無でのアクセスタイム差の小さい、スペア行単位の冗長救済が実現される。

【0072】

再び図7を参照して、ワード線WLおよびスペアワード線SWL1, SWL2の選択および非選択が出力ノードNAの電圧に応じて設定されるので、ワード線マルチセレクションの発生を避けて安定的な行選択を実行するためには、出力ノードNAにおける意図しない電圧変動は小さいほうが望ましい。

【0073】

特に、各シフトスイッチSWでのトランジスタスイッチTSL, TSO, TSRの選択的なオンによって、電源投入後の最初のアクセス時にも、不良ワード線に対応するものを除いた出力ノードNAの各々は、ノードNBのうちの対応する1つと制御スイッチTPを介して接続されることになる。この時点では、各ノードNBは接地電圧GNDレベルであるから、出力ノードNAの容量が小さいと、プリチャージ信号PCGがLレベルに変化するとともに出力ノードNAの電圧が低下してしまい、対応のワード線WL, スペアワード線SWL1, SWL2が誤って選択状態へ駆動される危険性がある。

【0074】

また、既に指摘したように、ワード線シフト構成では、各出力ノードNAに対してシフト接続を可能とするための複数の経路が設けられるので、出力ノードNAに対して微小なリーク経路が発生する危険性も相対的に大きい。これらの理由から、ワード線シフト構成において安定的な行選択を実現するためには、出力ノードNAでの意図しない電圧変動が小さくなるように、各出力ノードNAにおけるプリチャージレベルの充電容量を大きく確保することが望ましい。

【0075】

図7に示した本発明に従う構成では、シフトスイッチSWを構成する複数のトランジスタスイッチTSL, TSO, TSRを介して、出力ノードNAと制御ス

スイッチ（トランジスタ）TPとが接続されている。このため、各出力ノードNAに対しては、接続されたトランジスタスイッチTSL, TSO, TSR、ならびに、シフトスイッチSWを介して接続された1個の制御スイッチ（トランジスタ）TPの合計4個分のトランジスタスイッチの寄生容量（ドレイン容量）および付随する配線容量が、プリチャージレベルの充電容量として確保される。

【0076】

たとえば、ワード線ドライバWDV（9）の出力ノードNA（9）に対しては、トランジスタスイッチTSR（8）、TSO（9）およびTSL（10）と、ターンオンしたトランジスタスイッチTSR（8）を介して接続される制御スイッチTP（8）の合計4個分のトランジスタスイッチのドレイン容量および付随する配線容量が、プリチャージレベルの充電容量として作用する。

【0077】

これに対して、制御スイッチTPおよびシフトスイッチSWの接続順を図7の構成と入れ換えて、制御スイッチTPを出力ノードNAとシフトスイッチSW（トランジスタスイッチTSO, TSR, TSL）との間に配置する構成を比較例として検討すると、この比較例では、各出力ノードNAに対する充電容量は、対応の制御スイッチTPによるトランジスタ1個分のドレイン容量および付随する配線容量しか確保することができない。

【0078】

したがって、図7に示した本発明に従うワード線選択回路の構成とすることにより、ワード線WL、スペアワード線SWLの選択／非選択を制御する電圧が現われる出力ノードNAの充電容量を確保できる。したがって、出力ノードNAでの意図しない電圧変動を抑制して、ワード線マルチセレクションの危険性が低い安定的な行選択を、ワード線シフト構成においても行なうことができる。

【0079】

〔実施の形態2〕

実施の形態1においては、複数の正規メモリセルの両側に、スペアワード線SWL1およびSWL2にそれぞれ対応するスペア行を配置する構成を説明したが、片側にのみスペア行を配置した構成としても本発明を同様に適用することが可

能である。

【 0 0 8 0 】

図 9 には、ワード線 WL (0) に隣接するスペアワード線 SWL に対応するスペア行のみが配置された場合における、ワード線選択回路の構成が示されている。

【 0 0 8 1 】

このような構成では、正規メモリセルに対応するワード線 WL (0) ~ WL (6 3) に対しては、L 側に対してのみスペア行 (スペアワード線 SWL) が配置されているので、シフトスイッチ SW (0) ~ SW (6 3) のそれぞれにおいて、シフト接続は L 側のみが必要であり R 側のシフト接続は必要ない。

【 0 0 8 2 】

したがって、図 9 に示した構成では、図 7 の構成と比較して、シフトスイッチ SW の各々において、トランジスタスイッチ T S R の配置を省略すればよい。すなわち、各シフトスイッチ SW は、デコード結果が伝達されるノード N B と、対応の出力ノード N A および L 側に隣接する出力ノード N A との間にそれぞれ設けられたトランジスタスイッチ T S O および T S L によって構成される。各ワード線ドライバ W D V において、トランジスタスイッチ T S O および T S L のゲートには、対応のシフト制御信号 S O および S L がそれぞれ入力される。シフト制御信号 S O および S L は、L 側へのシフト接続によって不良ワード線を置換するように、各ワード線ドライバ W D V において、いずれか一方が選択的に H レベルへ設定される。

【 0 0 8 3 】

具体的には、シフト制御信号 S O および S L は、不良ワード線およびそれよりも L 側のワード線ドライバ W D V では、対応のシフト制御信号 S L が H レベルに設定される一方で、不良ワード線よりも R 側のワード線ドライバ W D V では、対応のシフト制御信号 S O が H レベルに設定される。

【 0 0 8 4 】

図 9 において、スペアワード線ドライバ S D V の構成は、図 7 におけるスペアワード線ドライバ S D V 1 , S D V 2 の各々と同様であり、さらに、各ワード線

ドライバWDVにおける、シフトスイッチSW以外の部分の構成は、図7と同様であるので詳細な説明は繰り返さない。

【0085】

同様に、図10には、ワード線WL(63)に隣接するスペアワード線SWLに対応するスペア行のみが配置された場合における、ワード線選択回路の構成が示されている。

【0086】

このような構成では、正規メモリセルに対応するワード線WL(0)～WL(63)に対しては、R側に対してのみスペア行(スペアワード線SWL)が配置されているので、シフトスイッチSW(0)～SW(63)のそれぞれにおいて、シフト接続はR側のみが必要でありL側のシフト接続は必要ない。

【0087】

したがって、図10に示した構成では、図7の構成と比較して、シフトスイッチSWの各々において、トランジスタスイッチTSLの配置を省略すればよい。すなわち、各シフトスイッチSWは、デコード結果が伝達されるノードNBと、対応の出力ノードNAおよびR側に隣接する出力ノードNAとの間にそれぞれ設けられたトランジスタスイッチTSOおよびTSRによって構成される。各ワード線ドライバWDVにおいて、トランジスタスイッチTSOおよびTSRのゲートには、対応のシフト制御信号SOおよびSRがそれぞれ入力される。シフト制御信号SOおよびSRは、R側へのシフト接続によって不良ワード線を置換するように、各ワード線ドライバWDVにおいて、いずれか一方が選択的にHレベルへ設定される。

【0088】

シフト制御信号SOおよびSRは、不良ワード線およびそれよりもR側のワード線ドライバWDVでは、対応のシフト制御信号SRがHレベルに設定される一方で、不良ワード線よりもL側のワード線ドライバWDVでは、対応のシフト制御信号SOがHレベルに設定される。

【0089】

図10において、スペアワード線ドライバSDVの構成は、図7におけるスペ

ワード線ドライバSDV1, SDV2の各々と同様であり、さらに、各ワード線ドライバWDVにおける、シフトスイッチSW以外の部分の構成は、図7と同様であるので詳細な説明は繰り返さない。

【0090】

このように、メモリセルアレイの片側にのみスペア行を配置する構成としても、実施の形態1と同様のワード線のマルチセレクション防止効果の高いワード線選択回路を構成することが可能である。

【0091】

なお、詳細は図示しないが、実施の形態1に従うワード線選択構成を、3個以上のスペア行が配置されたワード線シフト構成に適用することも可能である。この場合には、配置されるスペア行の個数に合わせて、シフトスイッチSWの各々における、可能なシフト数をさらに増やす必要がある。

【0092】

たとえば、J個（J：自然数）のスペア行（すなわちスペアワード線）が配置されたワード線シフト構成においては、各シフトスイッチSWにおいて、（J+1）個のトランジスタスイッチを設けて、自身および近傍のJ個の間で選択的に対応の出力ノードNAとノードNBとの間の接続を制御する構成とする必要がある。

【0093】

また、実施の形態1および2では、メモリセルアレイの端部にスペア行が配置される構成を示したが、本発明を適用においてスペア行の配置位置は特に限定されない。すなわち、ワード線およびスペアワード線の配置順序に対応付けてワード線ドライバWDVおよびスペアワード線ドライバSDVを配置して、不良ワード線の位置とスペアワード線との位置関係に応じて、シフトスイッチSWでの接続設定、すなわちシフト制御信号を適切に設定すれば、スペア行の配置位置を限定することなく本発明を適用することが可能である。

【0094】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範

図によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0095】

【発明の効果】

以上説明したように、本発明に従う半導体記憶装置では、ワード線およびスベアワード線の選択／非選択を制御する電圧が現われる出力ノードの充電容量を確保できる。したがって、出力ノードでの意図しない電圧変動を抑制して、ワード線マルチセレクションの危険性が低い安定的な行選択を、ワード線シフト構成においても行なうことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従う半導体記憶装置の全体構成を示す概略ブロック図である。

【図2】 図1に示したロウプリデコーダの動作を説明する概念図である。

【図3】 ロウプリデコーダの構成を示す第1の回路図である。

【図4】 ロウプリデコーダの構成を示す第2の回路図である。

【図5】 実施の形態1に従うワード線シフト構成を説明するブロック図である。

【図6】 シフト制御信号を生成するシフト制御回路の構成を示すブロック図である。

【図7】 図1に示したワード線選択回路の構成を詳細に示す回路図である。

【図8】 図7に示したワード線選択回路における行選択動作を説明する動作波形図である。

【図9】 実施の形態2に従うワード線選択回路の第1の構成例を詳細に示す回路図である。

【図10】 実施の形態2に従うワード線選択回路の第2の構成例を詳細に示す回路図である。

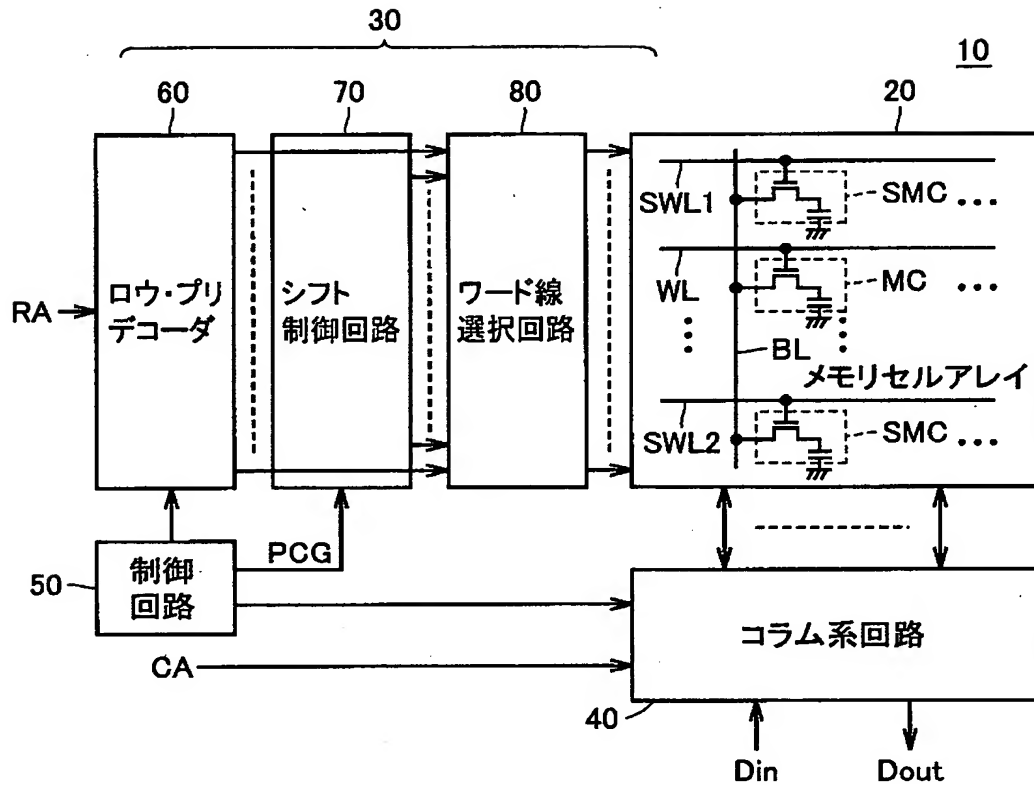
【符号の説明】

10 半導体記憶装置、20 メモリセルアレイ、30 ロウ系回路、60 ロ

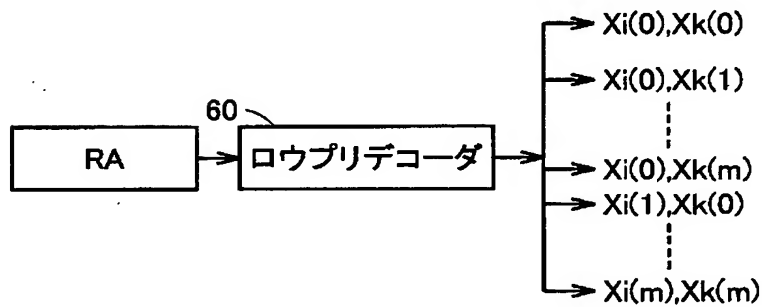
・ウプリデコーダ、70 シフト制御回路、80 ワード線選択回路、132, 1
 34 プリチャージスイッチ、DU(0)～DU(63), DU(S1), DU
 (S2) ドライブユニット、GND 接地電圧、MC 正規メモリセル、NA
 (0)～NA(63) 出力ノード、NB(0)～NB(63), NC(0)～
 NC(63) ノード、PCG プリチャージ信号、RA ロウアドレス、RA
 (0)～RA(5) ロウアドレスビット、RDU(0)～RDU(63) ロ
 ウデコードユニット、SDV, SDV1, SDV2 スペアワード線ドライバ、
 SMC スペアメモリセル、SR(0)～SR(63), SL(0)～SL(6
 3), SO(0)～SO(63) シフト制御信号、SW(0)～SW(63)
 シフトスイッチ、SWL, SWL1, SWL2 スペアワード線、TP(0)
 ～TR(63) 制御スイッチ、TSL(0)～TSL(63), TSO(0)
 ～TSO(63), TSR(0)～TSR(63), TXi(0)～TXi(6
 3), TXk(0)～TXk(63) トランジスタスイッチ、Vcc 電源電
 圧、WDV(0)～WDV(63) ワード線ドライバ、WL(0)～WL(6
 3) ワード線、Xi(0)～Xi(7), Xk(0)～Xk(7) プリデコ
 ード信号。

【書類名】 図面

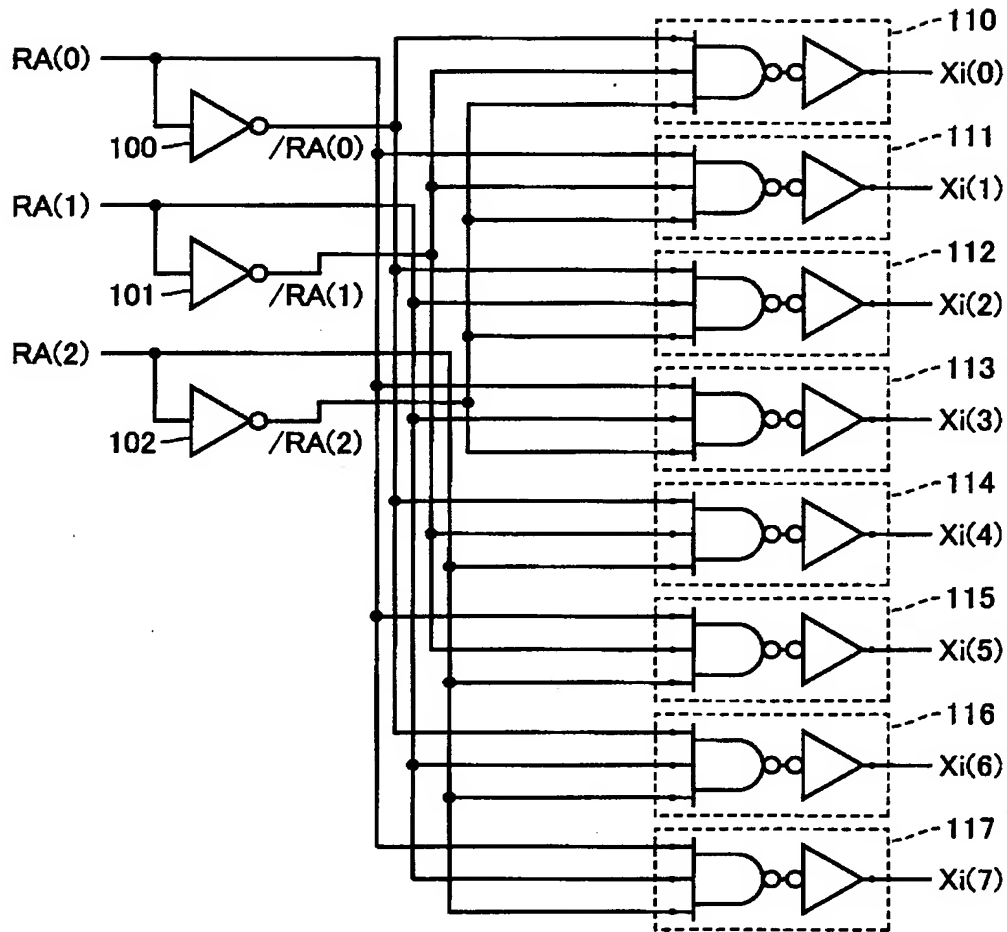
【図 1】



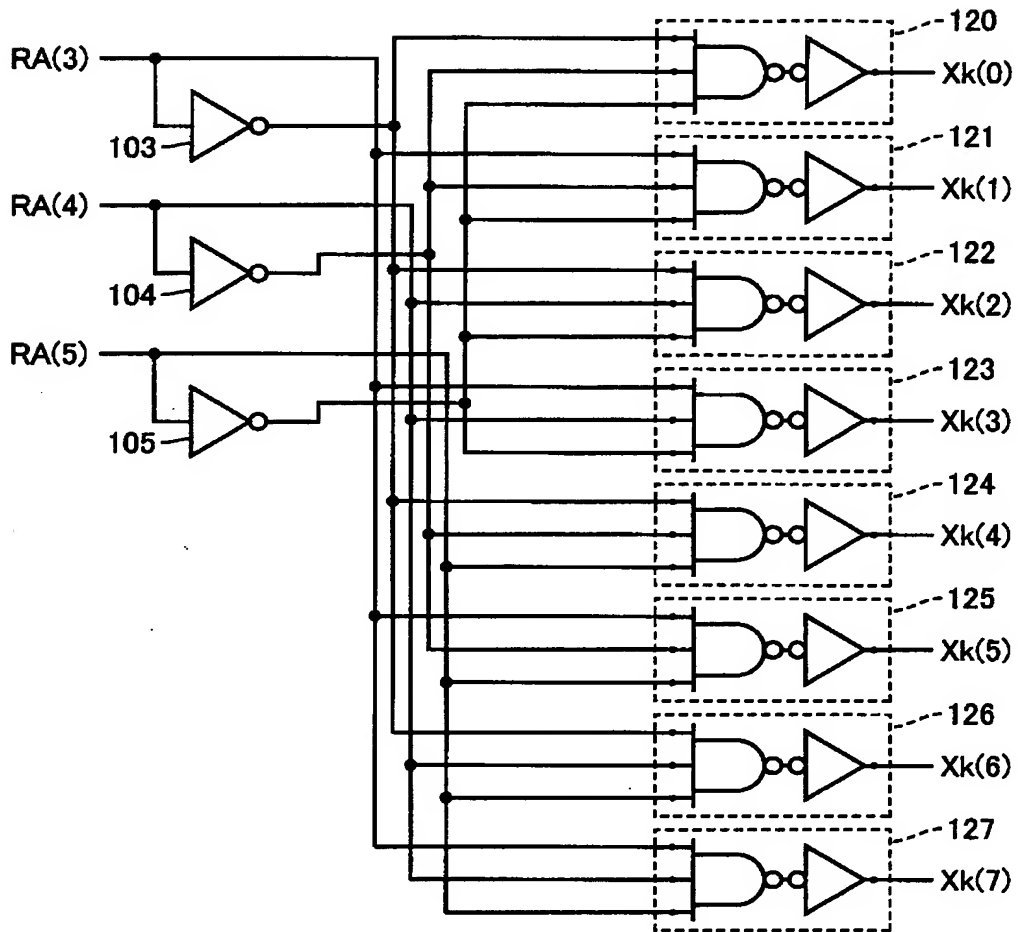
【図 2】



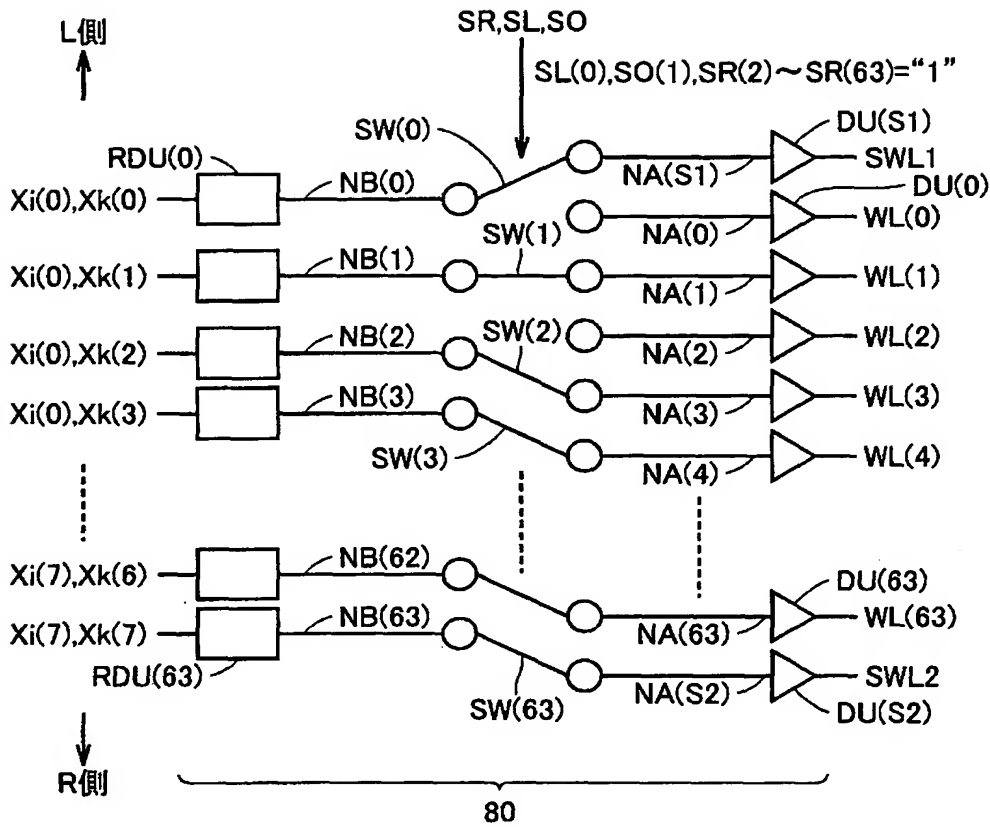
【図 3】



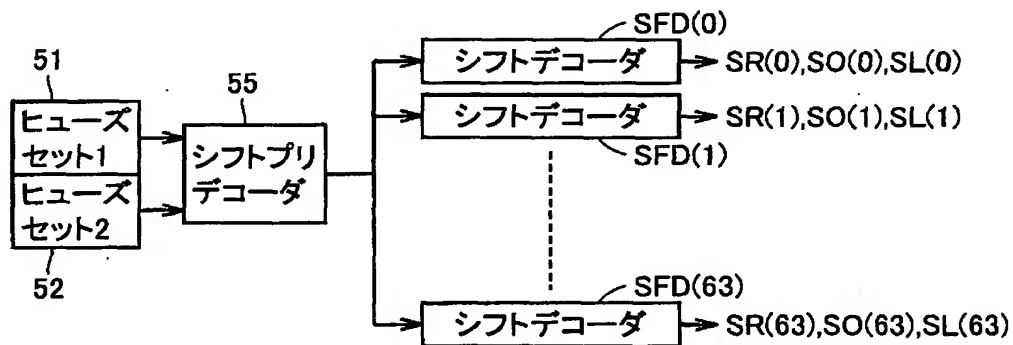
【図 4】



【図 5】



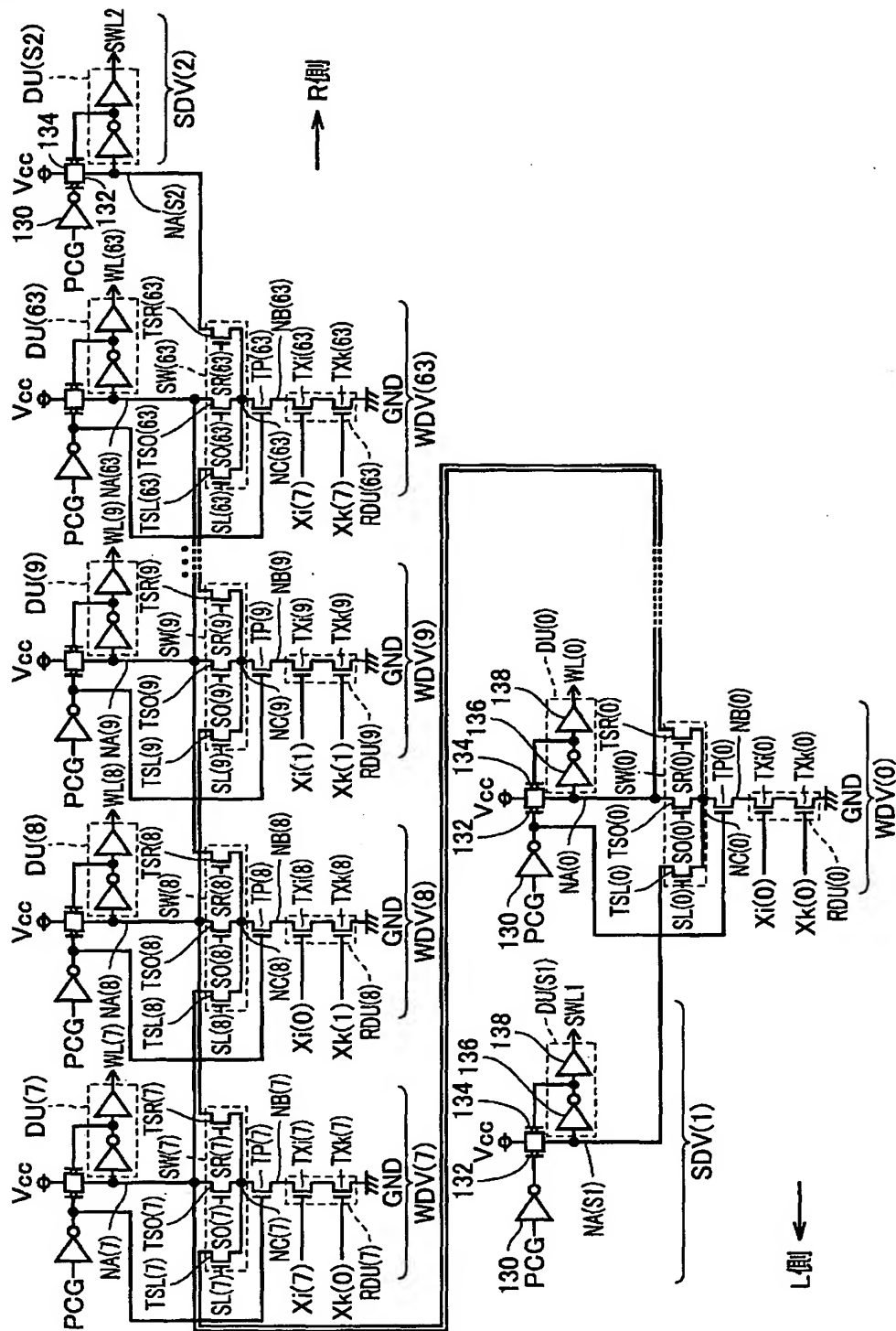
【図 6】



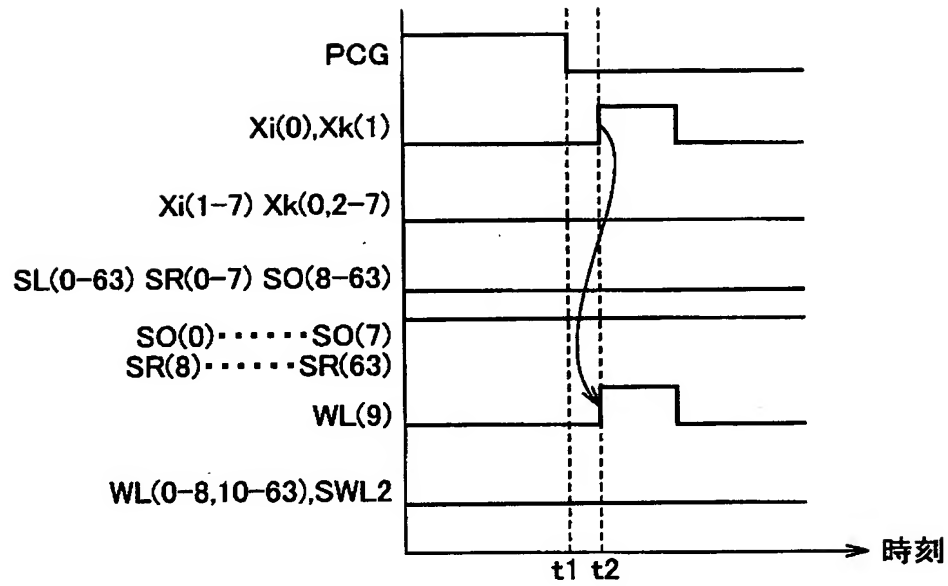
70

【図 7】

80

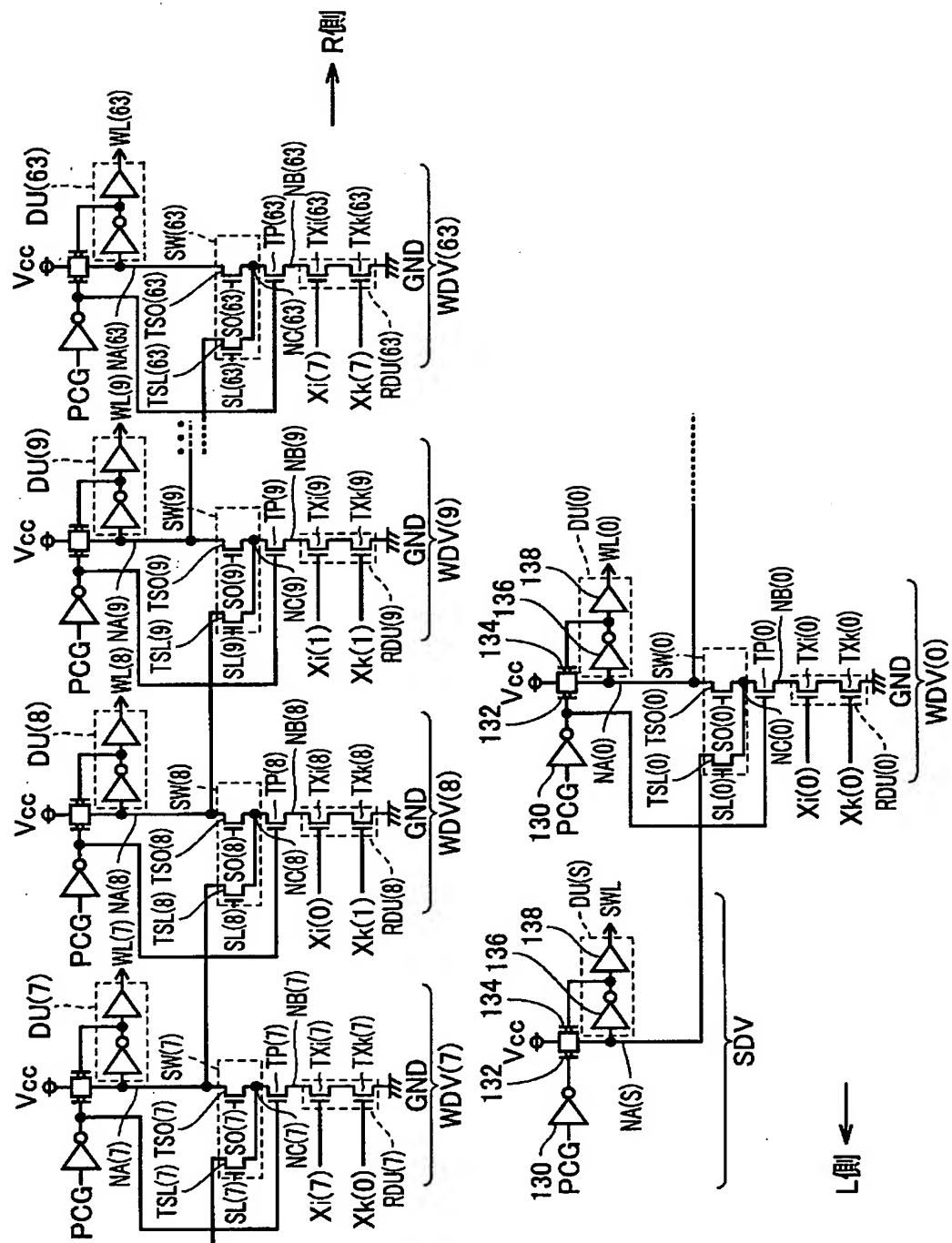


【図 8】



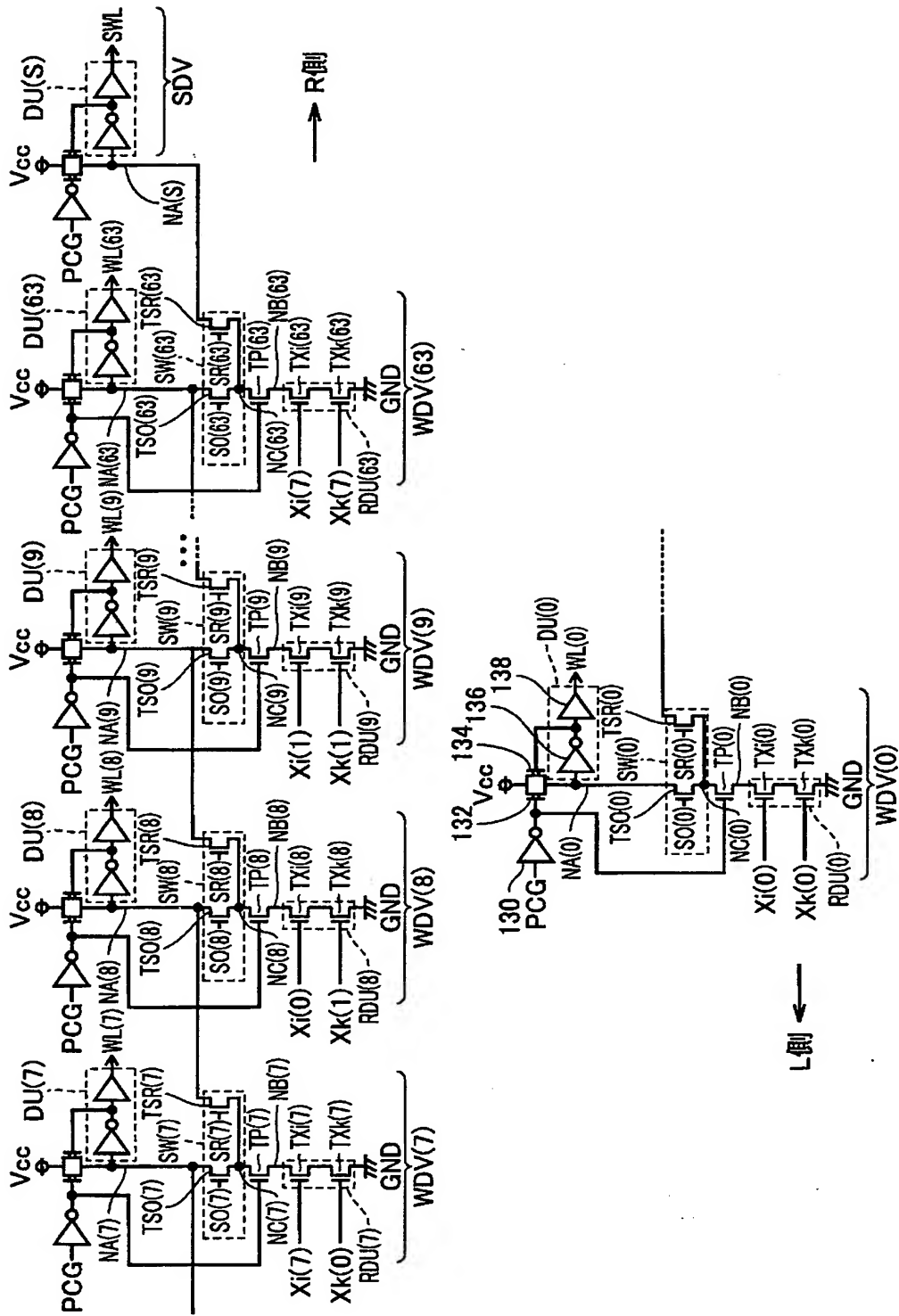
【図 9】

80



【図10】

80



【書類名】 要約書

【要約】

【課題】 ワード線マルチセレクションの危険性の少ないワード線シフト構成を有する半導体記憶装置を提供する。

【解決手段】 各ワード線ドライバWDVにおいて、出力ノードNAは、行選択動作前に電源電圧Vccへプリチャージされ、行選択動作時に電源電圧Vccと切離される。さらに、各ノードNCは、行選択動作時にオンする制御スイッチTPを介して、ロウアドレスに応じて選択的に接地電圧GNDへ駆動される対応のノードNBと接続される。不良ワード線を除くワード線およびスペアワード線SWL1, SWL2に対応する出力ノードNAは、各シフトスイッチSWにおいてシフト制御に従って選択的にオンするトランジスタスイッチTSL, TSR, TSOを介して、自身または隣接のワード線に対応するノードNBと接続される。

【選択図】 図7

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社